

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 11143432 A

(43) Date of publication of application: 28.05.99

(51) Int. Cl

G09G 3/36
G02F 1/133

(21) Application number: 09304787

(71) Applicant: MATSUSHITA ELECTRIC IND CO LTD

(22) Date of filing: 07.11.97

(72) Inventor: TAKAHASHI KIMIYO

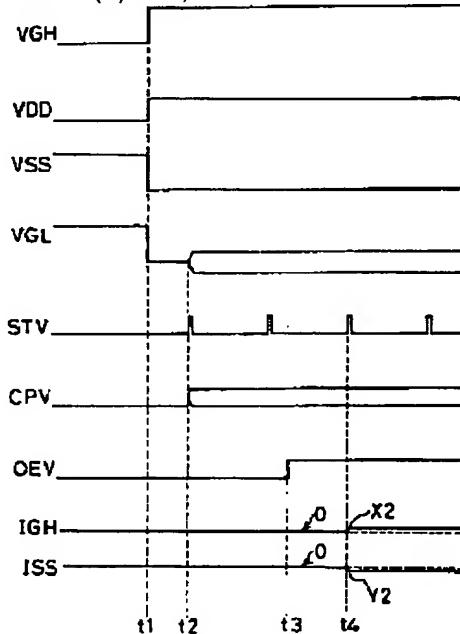
(54) LIQUID CRYSTAL PANEL DRIVING DEVICE

COPYRIGHT: (C)1999,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To completely resolve the danger that the latch-up the occurrence of a scanning drive circuit by generating a signal enabling a gate circuit at a delay of at least one vertical period from the start of the shift operation of a shift register.

SOLUTION: An output stage enable pulse OEV is kept at the L-state to close a gate circuit from the time t_2 when power-on reset is released to at least the time t_3 when one vertical period of a display region elapses regardless of the unstable output state of a shift register immediately after the application of power. The output data of the shift register based on a shift register clock pulse CPV are blocked by the gate circuit and are not transferred to an output buffer. The current of the output buffer is only a static current of a very small value, thereby the occurrence of latch-up caused by the flow of an unsteady transient current several times the current of the output stage in the stationary state of an output buffer group can be completely resolved.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-143432

(43)公開日 平成11年(1999)5月28日

(51)Int.Cl.*

G 0 9 G 3/36
G 0 2 F 1/133

識別記号

5 4 5

F I

G 0 9 G 3/36
G 0 2 F 1/133

5 4 5

(21)出願番号 特願平9-304787

(22)出願日 平成9年(1997)11月7日

(71)出願人 000005821

松下電器産業株式会社
大阪府門真市大字門真1006番地

(72)発明者 高橋 公代

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

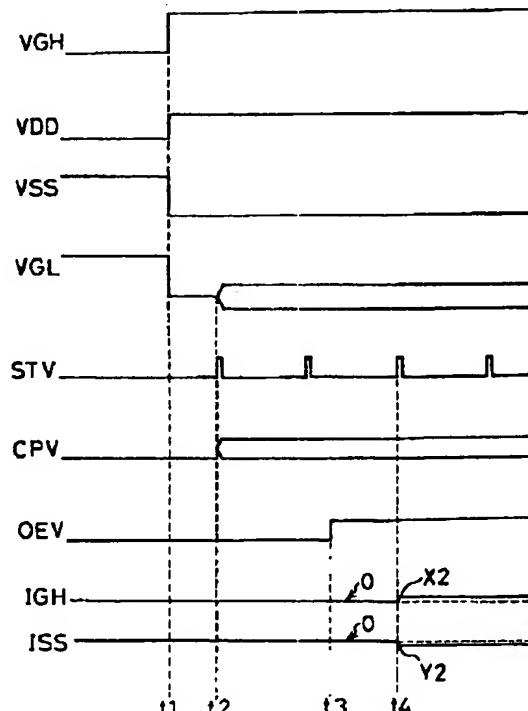
(74)代理人 弁理士 森本 義弘

(54)【発明の名称】 液晶パネル駆動装置

(57)【要約】

【課題】 パワーオンリセットが解除された直後のシフトレジスタの不定な出力によって、出力バッファ群に流れる過渡電流が定常状態の出力段数倍となり、走査駆動回路のラッチアップを誘発する問題を解消する。

【解決手段】 シフトレジスタの各出力と出力バッファの間にゲート回路を介装するとともに、前記シフトレジスタのシフト動作の開始時刻 t_2 から少なくとも 1 垂直周期だけ遅れた時刻 t_3 に前記ゲート回路をイネーブルにする信号 OEV を発生する信号発生手段を設けたものである。



1

2

【特許請求の範囲】

【請求項1】 表示領域の垂直方向に配列された走査線と水平方向に配列された信号線との交点に画素を形成した液晶パネルの各走査線に、シリアルインパラレルアウト型シフトレジスタの出力データを、それぞれ出力バッファを介して入力して垂直走査する液晶パネル駆動装置において、シフトレジスタの各出力と前記出力バッファの間にゲート回路を介装するとともに、前記シフトレジスタのシフト動作の開始から少なくとも1垂直周期だけ遅れて前記ゲート回路をイネーブルにする信号を発生する信号発生手段を設けた液晶パネル駆動装置。

【請求項2】 COG実装によってペアチップの形で液晶パネルに装着した請求項1記載の液晶パネル駆動装置。

【請求項3】 ポリシリコンプロセスによって液晶パネルに装着した請求項1記載の液晶パネル駆動装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、液晶パネルモジュールに用いられている液晶パネル駆動装置に関するものである。

【0002】

【従来の技術】 近年、液晶パネルモジュールは、小型軽量でかつ薄型となり、ノートパソコン等の情報機器や、カーナビゲーションまたはビデオムービー等の映像機器に広く使用されている。

【0003】 従来の液晶パネルモジュール7は、図2に示すように、表示パネル1と液晶パネル駆動装置とで構成されている。この液晶パネル駆動装置は、データ駆動回路3と走査駆動回路2と制御パルス発生回路9とで構成されている。

【0004】 表示パネル1には、表示領域の垂直方向に配列された走査線4と水平方向に配列された信号線5との交点毎に画素1aが形成されている。走査駆動回路2は走査線4を介して垂直方向の画素に沿って走査を行い、データ駆動回路3は信号線5を介して水平方向の画素1に沿って表示信号の印加を行う。

【0005】 この走査駆動回路2とデータ駆動回路3とは、消費電力を小さく抑える必要性によりその殆どがCMOSで構成されている。CMOSは、低消費電力であるのでメリットが大きいが、電源電圧や各種制御パルスの印加タイミングおよび印加シーケンスによっては、ラッチャップや異常発振などの動作不具合を引き起こしやすいといったデメリットも持ち合わせている。

【0006】 制御パルス発生回路9は、入力配線6で走査駆動回路2とデータ駆動回路3とに接続されていて、各種制御パルスを発生させて出力する。なお、電源供給ライン8は液晶パネルモジュール7に電源供給する外部接続ラインである。

10

20

30

40

50

【0007】 電源供給ライン8から供給される電源電圧と制御パルス発生回路9の各種制御パルスに基づいて走査駆動回路2とデータ駆動回路3とが動作し、表示領域の各画素1aにそれぞれ所望の電圧信号が書き込まれて、表示パネル1の液晶表示を行う。

【0008】 走査駆動回路2は、図3に示すように、シフトレジスタ10とゲート回路11と出力バッファ群12とで構成されている。シフトレジスタ10は、Dフリップフロップで構成されたシリアルインパラレルアウト型シフトレジスタである。

【0009】 ゲート回路11には、表示領域の垂直方向の画素分のNANDゲートが設けられている。出力バッファ群12には、表示領域の垂直方向の画素分の出力バッファが設けられていて、各出力バッファの出力が出力端子群20にそれぞれ接続されている。この出力バッファは、プリドライバ段12a、12bと出力段12cとから構成されている。

【0010】 前述のように、出力バッファ群12の段数は、使用する表示パネル1の表示領域の垂直方向の画素数と同等であり、映像表示用としては240段程度が一般的である。

【0011】 走査駆動回路2の入力端子には、出力バッファ正電源(VGH)端子13と、出力段イネーブル(OEV)端子14と、シフトレジスタ用ロジック正電源(VDD)端子15と、シフトレジスタ10のスタートパルス(STV)端子16と、シフトレジスタ10のクロックパルス(CPV)端子17と、シフトレジスタおよび出力バッファの負電源(VSS)端子18と、走査駆動回路出力の非選択信号電圧(VGL)端子19とが備えられている。

【0012】 なお、走査駆動回路2の入力端子13~19の前段には、それぞれ配線抵抗R13~R19が存在している。以上のように構成された液晶パネルモジュール7について、電源および各種制御パルス印加直後の走査駆動回路2の動作を説明する。

【0013】 図4に示すように、時刻t1で電源をオンにすると、出力バッファ正電源VGH、シフトレジスタ正電源VDD、シフトレジスタおよび出力バッファの負電源VSSがそれぞれ印加される。

【0014】 シフトレジスタ10に入力される各種制御パルスは、ラッチャップ回避のために、電源電圧が印加されて安定状態となった後に入力されるのが一般的である。そのため、制御パルス発生回路9では、電源印加後から一定時間経過するまでは各種制御パルスを出力しないように、パワーオンリセットをかけている。

【0015】 パワーオンリセットが解除された時刻t2で各種制御パルスとしてのシフトレジスタスタートパルスSTVとシフトレジスタクロックパルスCPVと出力段イネーブルパルスOEVとが印加された後に、走査駆動回路2として通常動作に移行する。

【0016】

【発明が解決しようとする課題】しかしながら従来の液晶パネル駆動装置では、走査駆動回路2内のシフトレジスタ10の出力の状態が電源印加直後において不定であり、パワーオンリセットが解除された時点でシフトレジスタクロックパルスCPVが入力されて、シフトレジスタ10の不定の出力がゲート回路11を介して出力バッファ群12に転送されて、出力バッファ群12に最大で出力段数倍の不定の過渡電流が流れる問題がある。

【0017】パワーオンリセットが解除された直後の出力バッファ群12に流れる電流値は、電源印加直後のシフトレジスタ10の出力状態が1段毎に異なる場合では、シフトレジスタクロックパルスCPVが入力されるとシフトレジスタ10の240段全ての出力データが反転し、この反転により出力バッファ群12の240段の出力バッファ全てに過渡電流が流れ最大となる。このときの過渡電流は、一般に定常状態の出力段の数倍、この映像表示用の場合では240倍程度となる。

【0018】また、電源印加直後のシフトレジスタ10の出力状態がすべて同じ場合では、シフトレジスタクロックパルスCPVが入力されても、シフトレジスタ10の240段全ての出力データが反転しないので、出力バッファ群12の240段の出力バッファに過渡電流は流れず、定常状態以下となり最小となる。

【0019】定常状態では、シフトレジスタ10の240段の出力が異なるのは、各時間において、1段だけその他は全て同じ出力であるので、シフトレジスタクロックパルスCPVが入力されても、シフトレジスタ10の1段の出力データのみが反転するだけで、出力バッファ群12に流れる過渡電流も僅かである。

【0020】このようにパワーオンリセットが解除された直後の出力バッファ群12の電流、すなわちVGHラインの電流IGHおよびVSSラインの電流ISSは、電源をオンする度にシフトレジスタ10の出力が異なることにより不定で、図4に示すように、シフトレジスタ10の出力状態によっては殆どゼロから定常状態の出力段数倍に亘る不定な過渡電流X1, Y1が発生する。

【0021】出力バッファ群12に流れるこの不定な過渡電流は、図3に示す配線抵抗R13, R18を介して流れるので、走査駆動回路2の入力端子13, 18の電圧は配線抵抗R13, R18による電圧降下が生じる。

【0022】この電圧降下が大きい場合は、CMOSで構成された走査駆動回路2でラッチアップが発生することがある。特に走査駆動回路2をガラス上に直接実装するCOG (Chip On Glass) 方式、および走査駆動回路2を直接ガラス上に作り込むポリシリコンプロセスを採用する場合は、配線領域のスペースの制約から配線抵抗を小さくすることが困難であるため、ラッチアップの発生する確率が高くなる。

【0023】上述した理由により、従来の液晶パネル駆

10

20

30

40

動装置では、電源電圧印加後の制御パルス印加時にラッチアップの発生する危険性を内在している。また、この問題点を回避するために、走査駆動回路2のシフトレジスタ10にパワーオンリセットの機能を設けることが考えられるが、シフトレジスタ10の回路規模が大きくなること、および外部にリセット端子を引き出す必要があることにより、走査駆動回路2のコストアップ、およびスペース増加といった問題が発生することになる。

【0024】本発明は、走査駆動回路のラッチアップの発生する危険性を完全に解消した液晶パネル駆動装置を提供することを目的とする。

【0025】

【課題を解決するための手段】本発明の液晶パネル駆動装置は、シフトレジスタの各出力と出力バッファの間にゲート回路を介装するとともに、前記シフトレジスタのシフト動作の開始から少なくとも1垂直周期だけ遅れて前記ゲート回路をイネーブルにする信号を発生する信号発生手段を設けたものである。

【0026】本発明によると、走査駆動回路のラッチアップの発生する危険性を完全に解消した液晶パネル駆動装置を得ることができる。

【0027】

【発明の実施の形態】請求項1記載の液晶パネル駆動装置は、表示領域の垂直方向に配列された走査線と水平方向に配列された信号線との交点に画素を形成した液晶パネルの各走査線に、シリアルインパラレルアウト型シフトレジスタの出力データを、それぞれ出力バッファを介して入力して垂直走査する液晶パネル駆動装置において、シフトレジスタの各出力と前記出力バッファの間にゲート回路を介装するとともに、前記シフトレジスタのシフト動作の開始から少なくとも1垂直周期だけ遅れて前記ゲート回路をイネーブルにする信号を発生する信号発生手段を設けたものであり、電源印加直後のシフトレジスタ出力の不定なデータがすべて掃き出されるまで、出力バッファの動作を停止させて、不定な電流の発生を防止することができる。

【0028】請求項2記載の液晶パネル駆動装置は、COG実装によってペアチップの形で液晶パネルに装着した請求項1記載の液晶パネル駆動装置としたものである。請求項3記載の液晶パネル駆動装置は、ポリシリコンプロセスによって液晶パネルに装着した請求項1記載の液晶パネル駆動装置としたものである。

【0029】以下、本発明の液晶パネル駆動装置を具体的な実施の形態に基づいて説明する。

(実施の形態) 本発明の実施の形態における液晶パネル駆動装置の構成、および走査駆動回路の内部構成は従来例と同一であり、それぞれ図2、図3に示す。

【0030】図1に示すように、時刻t1で電源をオンにすると、出力バッファ正電源VGH、シフトレジスタ正電源VDD、シフトレジスタおよび出力バッファの負

50

電源VSSがそれぞれ印加される。

【0031】シフトレジスタ10に入力される各種制御パルスは、ラッチアップ回避のために、電源電圧が印加されて安定状態となった後に印加される。そのため、制御パルス発生回路9では電源印加後から一定時間経過するまでは各種制御パルスを出力しないように、パワーオンリセットをかけている。

【0032】各種制御パルスとしての1垂直周期のシフトレジスタスタートパルスSTVと1水平周期のシフトレジスタクロックパルスCPVとをパワーオンリセットが解除された時刻t2で従来例と同様に印加する。

【0033】本実施の形態の液晶パネル駆動装置では、シフトレジスタ10のシフト動作の開始から表示パネル1の表示領域の少なくとも1垂直周期だけ遅れてゲート回路11をイネーブルにする信号を発生する信号発生手段を制御パルス発生回路9に設けている。

【0034】具体的には、電源印加直後におけるシフトレジスタ10の不定な出力状態にかかわらず、パワーオンリセットが解除された（シフトレジスタ10のシフト動作が開始した）時刻t2から少なくとも表示領域の1垂直周期が経過した時刻t3までの間は、出力段イネーブルパルスOEVをLOWの状態に保ちゲート回路11を閉じた状態とし、シフトレジスタクロックパルスCPVに基づくシフトレジスタの出力データはゲート回路11で閉ざされて出力バッファに転送されない。よって、出力バッファの電流は、静電流だけとなり、極めて小さな値となる。

【0035】時刻t3で出力段イネーブルパルスOEVがHiになり、次のシフトレジスタスタートパルスSTVが来た時刻t4で走査駆動回路2は通常動作に移行することになる。

【0036】このときの出力バッファ群12に流れる電流、すなわちVGHラインの電流IGHおよびVSSラインの電流ISSは、図4に示す従来例のように殆どゼロから定常状態の出力段数倍に亘る不定な過渡電流X1, Y1は発生せず、図1に示すように安定した定常電流X2, Y2が流れることになる。

【0037】以上のことから、制御パルス発生回路9のパワーオンリセットが解除された直後におけるシフトレジスタ10の不定な出力データが一掃されるまでは、シフトレジスタ10の出力データが出力バッファに転送されないので、出力バッファ群12の不定な過渡電流の発生を防止し、定常値の電流とすることができます、ラッチアップの発生を完全に解消することができる。

【0038】この実施の形態においての液晶パネル駆動装置をCOG実装によってペアチップの形で液晶パネルに装着した場合またはポリシリコンプロセスによって液晶パネルに装着した場合であっても、出力バッファに不定な過渡電流が流れないので、ラッチアップが発生する

ことなく、安定した状態で動作する液晶パネル駆動装置を実現できる。

【0039】具体例として、COG実装やポリシリコンプロセスを採用した場合は、CMOSで構成された走査駆動回路の入力配線をガラス上に設けているため入力配線の抵抗値が大きくなるが、このような液晶パネル駆動装置とした場合においては一層大きな効果を有する。

【0040】

【発明の効果】以上のように本発明の液晶パネル駆動装置によれば、シフトレジスタの各出力と出力バッファの間にゲート回路を介装するとともに、シフトレジスタのシフト動作の開始から少なくとも1垂直周期だけ遅れてゲート回路をイネーブルにする信号を発生する信号発生手段を設けたことにより、制御パルス発生回路のパワーオンリセットが解除された後にクロックパルスCPVが印加されたシフトレジスタの電源印加直後の不定なデータをすべて掃き出すまでは、ゲート回路をディスイネーブルとしてシフトレジスタの出力を出力バッファに転送せず出力バッファを動作させず、不定なデータの一掃後にゲート回路をイネーブルにしてシフトレジスタの出力を出力バッファに転送して出力バッファが動作するので、シフトレジスタの不定な出力データによる出力バッファの過渡電流の発生を防止し、極めて小さな定常値電流とすることができます、出力バッファ群に定常状態の出力段数倍の不定な過渡電流が流れることによるラッチアップの発生を完全に解消した液晶パネル駆動装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態の走査駆動回路の動作を示すタイミングチャート図

【図2】従来の液晶パネルモジュールのブロック図

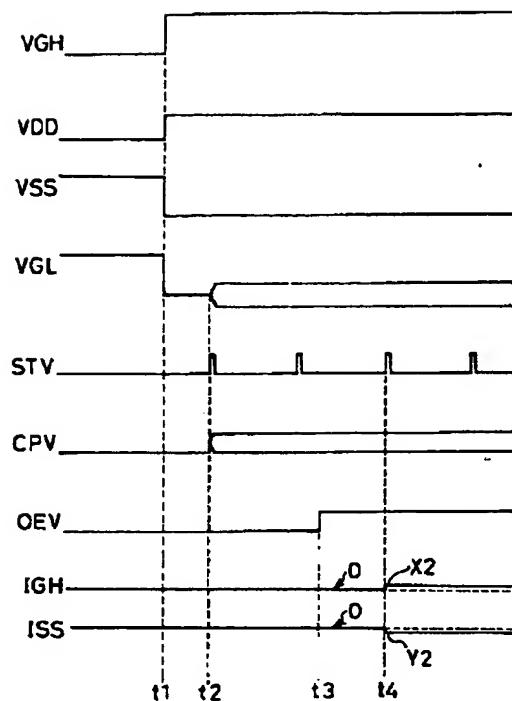
【図3】従来の液晶パネルモジュールの走査駆動回路のブロック図

【図4】従来の走査駆動回路の動作を示すタイミングチャート図

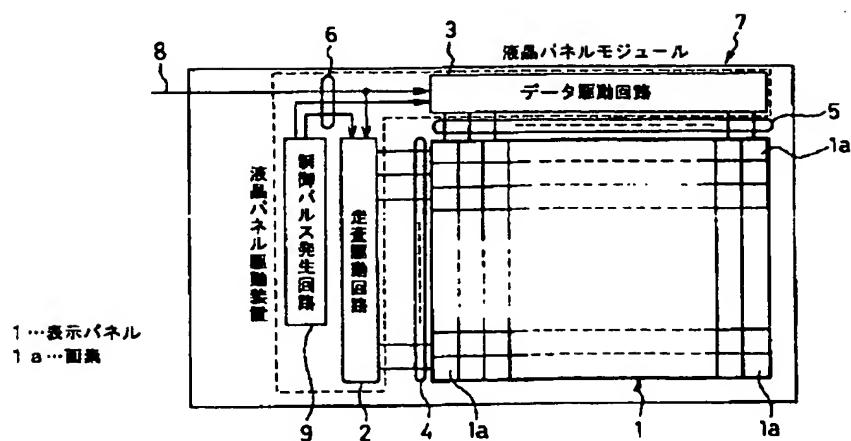
【符号の説明】

1	表示パネル
1 a	画素
2	走査駆動回路
3	データ駆動回路
7	液晶パネルモジュール
9	制御パルス発生回路
10	シフトレジスタ
11	ゲート回路
12	出力バッファ群
12 a, 12 b	プリドライバ段
12 c	出力段
13～19	走査駆動回路の入力端子
13 a～19 a	液晶パネルモジュール入力端子

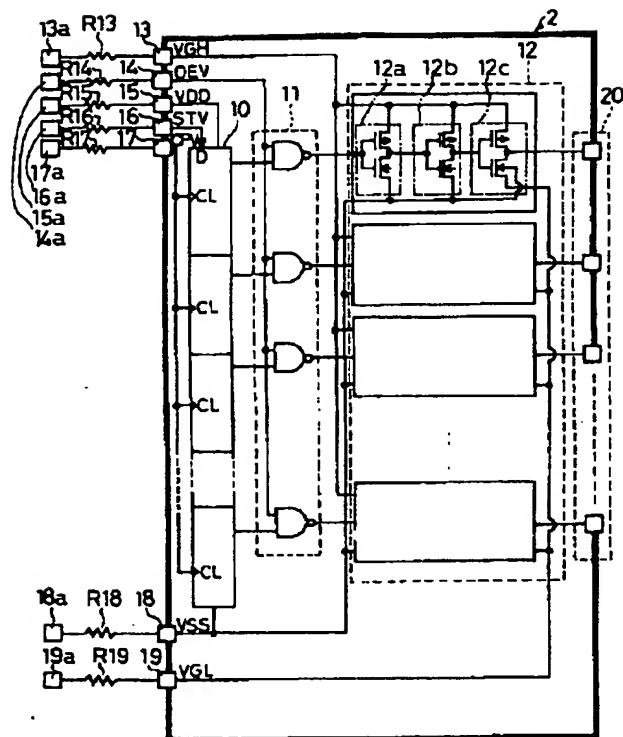
【図1】



【図2】



【図3】



2…走査駆動回路
 10…シフトレジスタ
 11…ゲート回路
 12…出力バッファ群

【図4】

